

Tecnología ECMOS1-INAOE: Su aplicación en circuitos sumadores integrados

Mónico Linares A. * y Netzahualcóyotl Carlos

Instituto Nacional de Astrofísica, Óptica y Electrónica

Calle Luis Enrique Erro No. 1. Santa María Tonantzintla, Puebla. C. P. 72840

Tel : (22) 47 20 11, ext. 1420 y 6101. Fax (22) 47 05 17.

En este artículo se presenta el diseño, fabricación y pruebas de un conjunto de circuitos sumadores completos integrados fabricados mediante la tecnología ECMOS1-INAOE, los cuales son ampliamente utilizados en sistemas para el procesamiento digital de señales (DSP). Estos circuitos permitirán enriquecer la biblioteca de celdas estándar con que cuenta actualmente el laboratorio de microelectrónica del INAOE y lograr así circuitos integrados CMOS con mayor confiabilidad a medida que se aumenta su grado de complejidad.

The design and characterization of CMOS full adders for DSP applications is presented in this work. These circuits were fabricated and tested at INAOE's Microelectronics Laboratory, using the ECMOS1-INAOE technology. The fabrication and characterization of these adders will improve the ECMOS1 cell-library leading, as the complexity of digital ICs increases in the future, to obtaining more reliable CMOS ICs.

Keywords:

1. Introducción

La microelectrónica es sin lugar a dudas un campo de innovación tecnológica que avanza rápidamente día con día, y por lo mismo, requiere de los conocimientos más modernos. Hasta ahora, la mayoría de los países subdesarrollados han perdido las esperanzas de participar de los beneficios de la tecnología de los circuitos integrados; las razones de ello son principalmente económicas, sin embargo, otros elementos como los recursos humanos no son tomados en cuenta, creándose así un círculo vicioso: "no hay inversión en este campo porque no hay personal preparado; o lo que es lo mismo, no estamos preparados para la alta tecnología, y no hay personal preparado porque no hay instalaciones donde generar conocimientos en el área. Hasta ahora, únicamente en el Laboratorio de Microelectrónica del INAOE se han y continúan desarrollando los métodos y tecnologías para diseñar y fabricar circuitos integrados con tecnología CMOS. Esta tecnología, aunque modesta, puede ser utilizada no solamente para fines educativos sino también para lograr prototipos de circuitos integrados de propósitos específicos (ASICs) que no requieran de procesos de geometría muy pequeña (menores a 5 micrómetros).

El laboratorio de microelectrónica del INAOE ha desarrollado un paquete tecnológico único en el país que incluye: 1) la tecnología de fabricación de circuitos integrados CMOS ECMOS-1 [1, 2], 2) una técnica de diseño de celdas estándar [3 - 4] la cual se basa en una biblioteca de celdas digitales para diseñar circuitos integrados digitales de mediana escala de integración (MSI) para propósitos específicos y 3) programas de cómputo para simulación lógica, que permiten verificar el comportamiento funcional del circuito integrado que se diseña con este paquete.

La biblioteca actual consta de un conjunto de celdas digitales estándar que desarrollan diversas operaciones básicas. En principio, el número de celdas

parece reducido, pero son suficientes para lograr funciones más complejas mediante la realización de macroceldas y manejar estas últimas como celdas básicas adicionales. Sin embargo, hacerlo de esta manera no solo requiere de mayor tiempo de diseño, sino que se consume mayor área y potencia, además de ser más lentos los circuitos con ellas conformadas. Con el fin de hacer más eficiente el diseño de circuitos y subsistemas complejos, y asimismo, optimizar estos parámetros, es necesario tener en biblioteca de antemano, bloques más complejos que actúen como celdas básicas.

En muchos sistemas utilizados para el procesamiento digital de señales (DSP), la suma es una de las operaciones aritméticas más importantes empleadas para llevar a cabo desde un simple conteo hasta operaciones de filtrado. Como resultado, los circuitos que suman números binarios son de gran interés para los diseñadores de sistemas integrados digitales. Asimismo, el sumador constituye el bloque crítico que determina tanto la velocidad, el área y el consumo de potencia de muchos circuitos digitales incluyendo multiplicadores, unidades aritméticas (ALUs) y unidades dedicadas al procesamiento de señales, entre otras [5, 6]; por lo que la elección de un buen circuito sumador que optimice el producto potencia-retardo-área será vital en la integración de estos circuitos o sistemas.

En este trabajo, se presenta la aplicación de la tecnología ECMOS1-INAOE mediante el diseño, fabricación y pruebas de varios sumadores a nivel de bit con el fin de seleccionar e incorporar a la biblioteca existente aquellos que funcionen con esta tecnología y así lograr circuitos más complejos con menor tiempo de diseño y mejores parámetros de funcionamiento.

2. Tecnología ECMOS1- INAOE

Esta tecnología usa un proceso de fabricación CMOS del tipo de pozo P con anillo de guarda P. La compuerta es de polisilicio y la fuente y drenador son

* *mlinares@inaoep.mx*

autoalineados. Utiliza nueve etapas de enmascarado y se pueden tener dos niveles de interconexión: metal (aluminio) y polisilicio N°. El proceso usa una geometría mínima de 10 micrómetros y se inicia con obleas de silicio monocristalino tipo N de 2.5 a 5 Ω.cm, orientación (100) y un grueso de 250 a 300 micrómetros, las cuales sirven de sustrato a los transistores. Las etapas más importantes del proceso de fabricación son: oxidación inicial, Pozo P, anillo de guarda P+, óxido de campo, óxido de compuerta, depósito de polisilicio, grabado de polisilicio, implantación de fuente y drenador, pasivación y reflujo, contactos y metalizado.

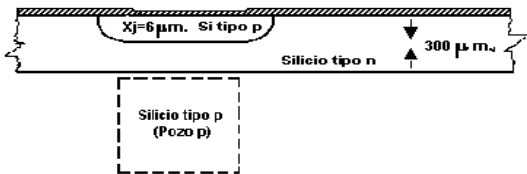


Figura 1a. Corte transversal (arriba) y vista superior (abajo) que muestran la implantación-difusión del pozo P.

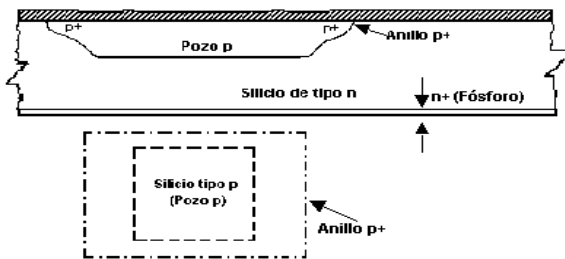


Figura 1b. Corte transversal (arriba) y vista superior (abajo) que muestran la difusión del anillo de guarda P+G/R.

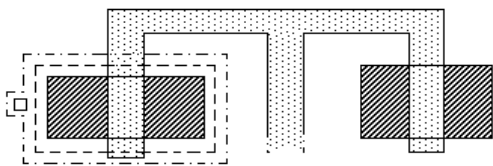


Figura 1c. Corte transversal que muestran óxido de campo, óxido delgado y polisilicio después del grabado (parte superior), vista superior del corte (parte inferior).

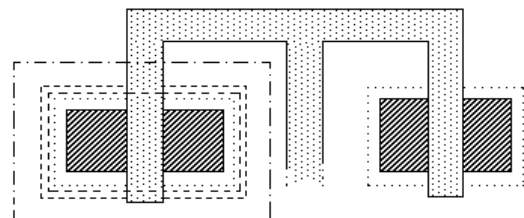
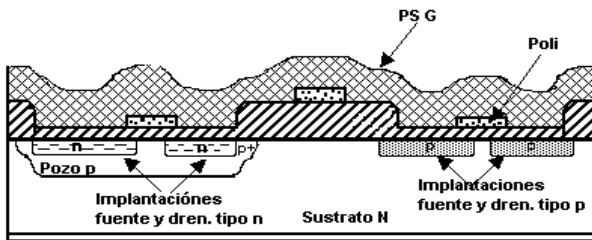


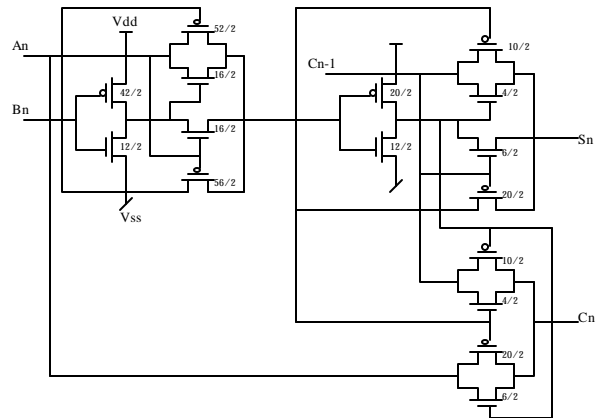
Figura 1d. Corte transversal (arriba) y vista superior (abajo) que muestran el PSG y las implantaciones de fuente y dren.

Figura 1. Principales pasos del proceso de fabricación CMOS1-INAOE

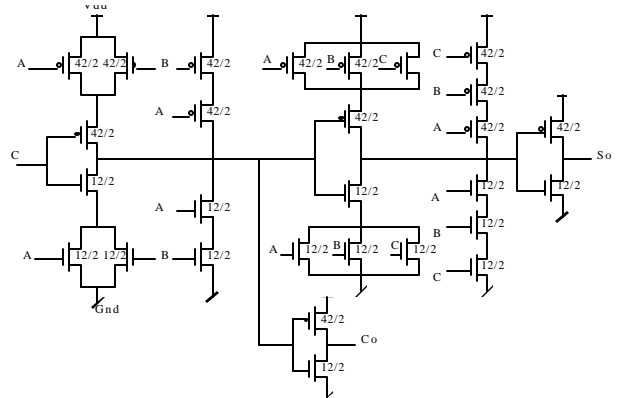
La fig. 1 resume este proceso mostrando cortes transversales de algunos de estos pasos.

3. Circuitos Sumadores

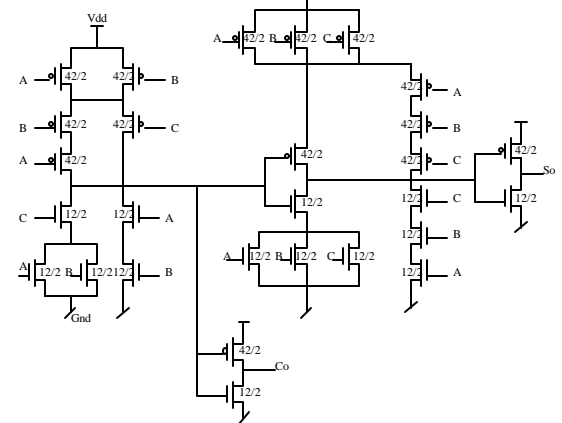
Existen muchas configuraciones de sumadores a nivel de bit tanto estáticos como dinámicos [7, 8]. En este trabajo se han elegido 10 sumadores del tipo estático por ser sencillos, directos y confiables aunque si bien son lentos y consumen mayor área debido a la redundancia de sus elementos (para cada transistor N debe existir un correspondiente transistor canal P).



2a) Sumador 5



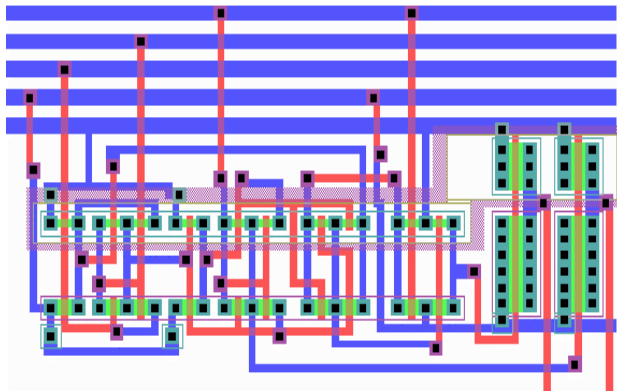
2b) Sumador 7



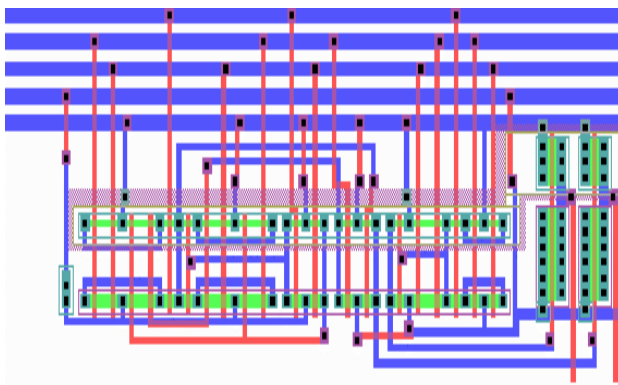
2c) Sumador 10

Figura 2. Diferentes configuraciones de sumadores.

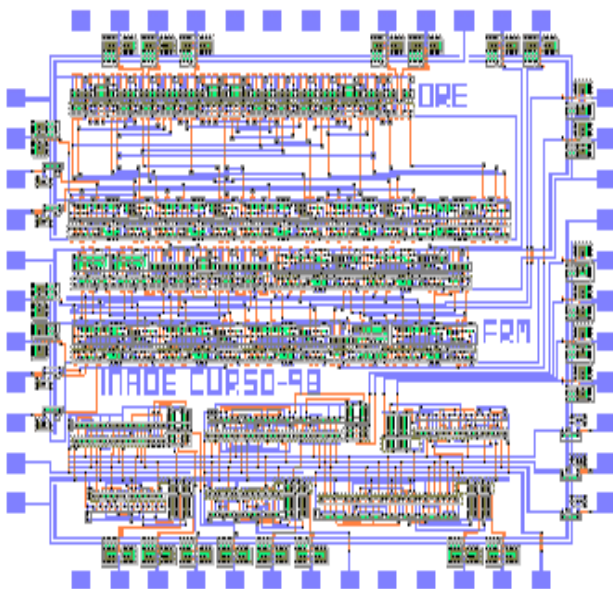
Algunos de estos sumadores se muestran en la figura 2 y sus correspondientes patrones geométricos (layouts) en la figura 3.



3a) Layout de sumador 5

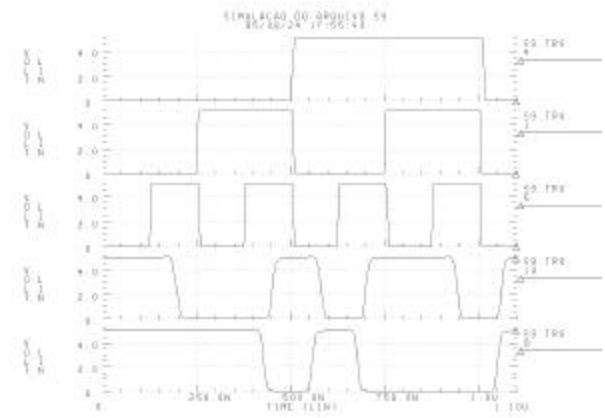


3b) Layout de sumador 10

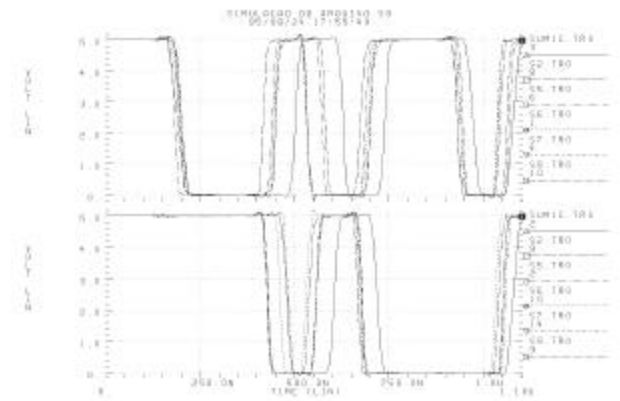


3c) Layout del circuito integrado completo

Figura 3. Patrones geométricos de dos sumadores y del circuito integrado completo



4a) De arriba hacia abajo señales de entrada: A,B,C, y salida: suma y acarreo de uno de los sumadores



4b) Términos de suma (superior) y acarreo (inferior) de los diferentes sumadores

Figura 4. Resultados de simulación Hspice de los diferentes sumadores con una carga de 1pF y a una frecuencia de 4MHz

La determinación del tamaño de los transistores de los sumadores se hizo inicialmente en base a la relación de movilidades de los portadores de carga de los transistores canal N canal P, y posteriormente mediante el ajuste de las trayectorias críticas en base a diferentes pruebas, y ya que la velocidad y óptimo funcionamiento dependen en forma compleja, tanto del tamaño de los transistores como de su posición en el circuito. La tabla 1 resume las características de los diferentes sumadores. Como puede observarse, no necesariamente la configuración del sumador que menor numero de transistores ocupa en su construcción es el que menor area consume.

Esto se debe a que el patrón geométrico de algunas configuraciones influye en forma determinante tanto en el área como en la velocidad y el consumo de potencia. Existen configuraciones que son más regulares y por lo tanto necesitan de menores interconexiones entre sus elementos.

En la figura 4 se muestran las correspondientes simulaciones HSpice, considerando un patrón de entrada con todas las posibles combinaciones de estados lógicos.

Tabla 1. Principales características de los sumadores

Número de Sumador	Característica			Suma			Acarreo			Potencia (mW)
	Número de Transistores.	Tamaños l (mm/mm)	Area (l ²)	Ts (ns)	Tb (ns)	Td (ns)	Ts (ns)	Tb (ns)	Td (ns)	
1	20	170x102	17340	96.5	103.7	77.8	106.5	92.8	75.5	264.8
2*	20	155x94	14570	199.5	110.9	88.4	137.5	119.8	62.83	38.3
3*	26	190x94	17860	94.3	84.1	68.6	91.5	88.7	65.8	267.3
4	36	201x101	20301	108.1	93.7	75.3	96.2	96.9	65.1	305.5
5*	16	156x88	13728	193.5	112.4	100.1	102.3	96.6	78.0	49.9
6*	20	180x94	16920	180.1	119.0	100.3	88.6	87.2	107.0	148.8
7	28	270x96	25920	91.4	107.0	79.4	97.5	91.7	66.8	334.1
8*	40	200x90	18000	97.4	99.6	80.2	103.2	97.7	81.38	265.0
9	32	114x81	9234	184.9	81.3	67.1	98.3	81.1	49.2	48.5
10*	28	142x78	11076	205.2	77.2	73.1	104.4	88.16	55.7	51.8

$F_A = 1\text{MHz}$ $V_{DD} = 5\text{V}$ $T_s = \text{Tiempo de elevación}$
 $F_B = 500\text{KHz}$ $C_L = 2.5\text{pF}$ $T_b = \text{Tiempo de caída}$
 $F_C = 250\text{KHz}$ T_{ambiente} $T_d \approx (T_s + T_b)/4 = \text{Tiempo de propagación}$
 * Sumadores fabricados

Como puede observarse, los resultados aparecen invertidos, esto es debido a que se les ha anexado una terminal de salida (PAD: celda básica de biblioteca actual) la cual contiene ya un buffer inversor que permitirá manejar las grandes capacitancias externas de los equipos de medición como es el osciloscopio (20 pF y 1 MΩ). De esta manera la salida final se obtendrá correctamente.

4. Fabricación

Debido a limitaciones de espacio y corridas de fabricación que se llevan a cabo en el laboratorio de microelectrónica del INAOE, solo seis de los sumadores fueron fabricados en un chip junto con otros circuitos de interés, utilizando el proceso de fabricación EC MOS1-INA OE arriba mencionado. Los sumadores seleccionados para su fabricación fueron aquellos que presentaron un menor consumo de área y mayor confiabilidad de funcionamiento. El dado que contiene los diferentes circuitos consta de 48 terminales de entrada/salida (pads) y ocupa un área de $818\lambda \times 738\lambda$ ($4.09 \times 3.69\text{mm}^2$). La figura 5 muestra una fotografía del circuito fabricado. Este contiene además dos contadores, uno de 3 a 5 y otro de 5 a 7, hechos en base a las celdas estándar de la biblioteca actual.

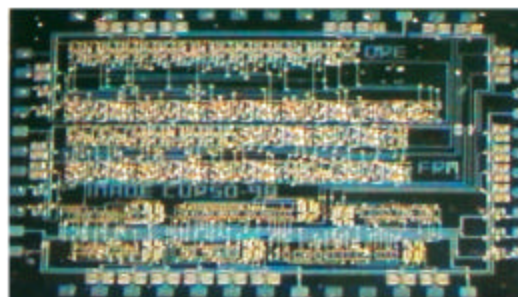
5. Resultados de pruebas eléctricas

Con la Finalidad de hacer más sencillas las pruebas, una de las entradas (entrada C) se fijó con una señal G_i variante en el tiempo (onda cuadrada de 5 Vpp de amplitud) y se variaron las otras dos entradas con estados alto ($V_{dd} = 5\text{V}$) y bajo ($V_{ss} = 0\text{V}$) para obtener los resultados mostrados en la Tabla 2. Puede observarse que solo los términos de suma y acarreo seguirán a la señal G_i/G_j y G_j , respectivamente, cuando las entradas A y B sean el complemento una de la otra

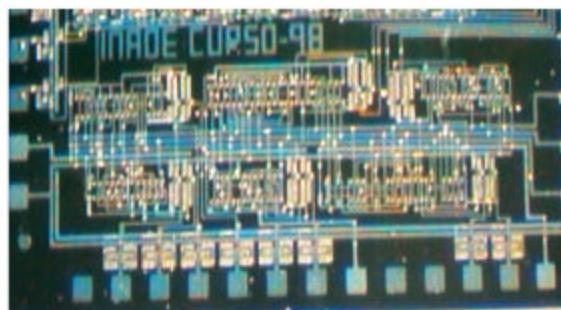
Tabla 2. Tabla de verdad de la función de un sumador

A	B	C	Suma	Acarreo
0	0	G_i	G_j	0
0	1	G_i	$G_j /$	G_i
1	0	G_i	G_j	0
1	1	G_i	G_j	1

En caso contrario, la salida de suma seguirá a la señal C y el acarreo estará a cero ($A = 0, B = 0$) o la suma seguirá a la señal C y el acarreo estará en uno ($A = 1, B = 1$).



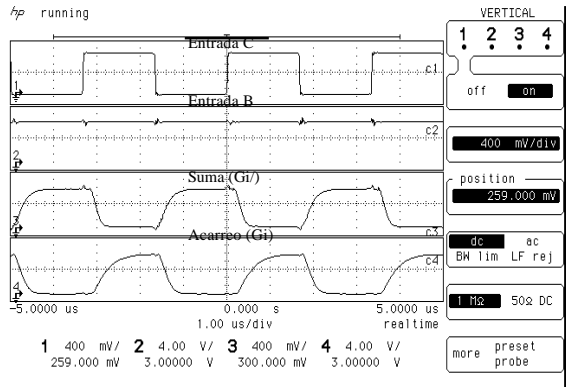
5a) Chip completo



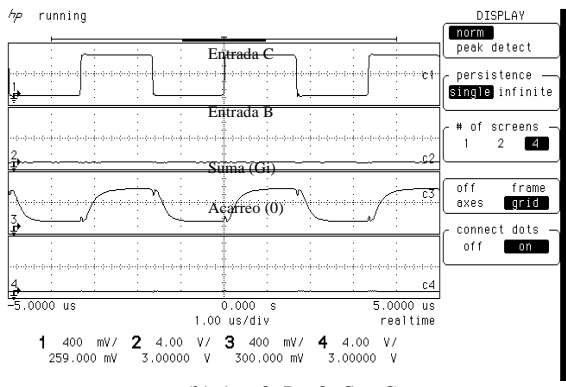
5b) Sección de los sumadores

Figura 5. Fotografía del circuito integrado fabricado conteniendo algunos de los sumadores

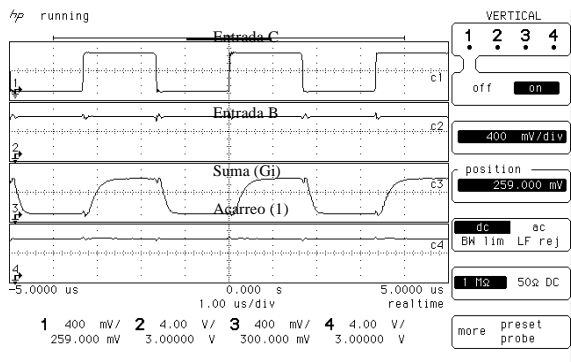
Los sumadores fueron probados a una frecuencia de operación de 300 KHz. El consumo de corriente de los diferentes sumadores estuvo en el rango de 1 a 3 mA. Cabe señalar que este consumo de corriente incluye la consumida por los elementos manejadores de carga de salida contenidos en las terminales entrada/salida (pads) los cuales son los que dominan este consumo. Podemos observar de las figuras 6 y 7, el correcto funcionamiento de los sumadores.



6a) $A = 0, B = 1, C = G_i$

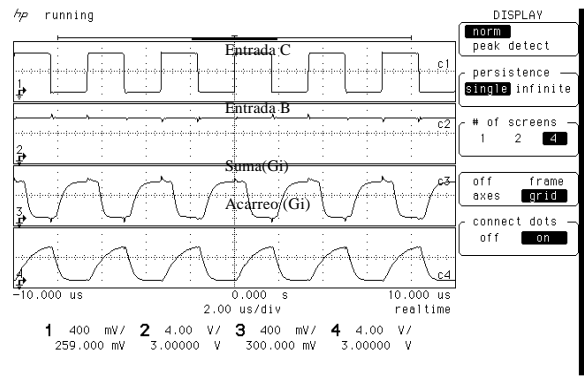


6b) $A = 0, B = 0, C = G_i$

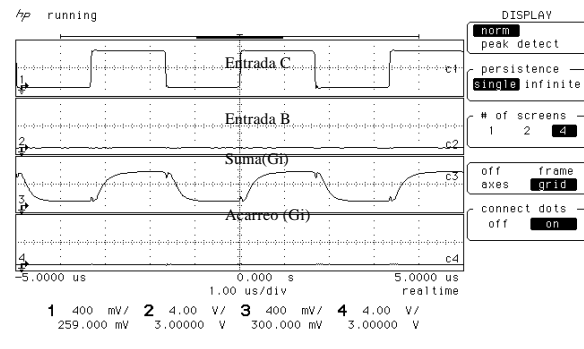


6c) $A = 1, B = 1, C = G_i$

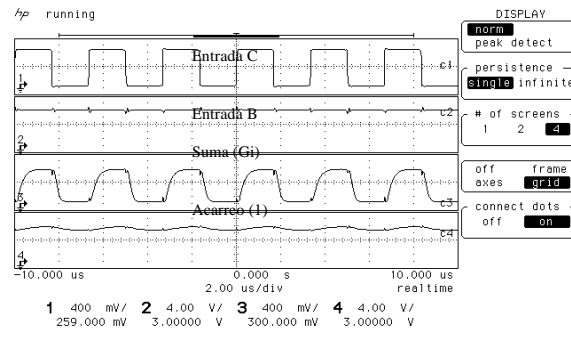
Figura 6. Resultados experimentales del chip fabricado. Formas de onda de entrada y salida del sumador 8: $V_{dd} = 5V$, $F_{operación} = 300\text{ KHz}$, $I_{cons} = 2.51\text{ mA}$.



7a) $A = 0, B = 1, C = G_i$



7b) $A = 0, B = 0, C = G_i$



7c) $A = 1, B = 1, C = G_i$

Figura 7. Resultados experimentales del chip fabricado. Formas de onda de entrada y salida del sumador 5: $V_{dd} = 5V$, $F_{operación} = 300\text{ KHz}$, $I_{cons} = 1.2\text{ mA}$

Conclusiones

Se ha diseñado y fabricado un conjunto de sumadores con el fin de enriquecer la biblioteca de celdas estándar con que cuenta actualmente el INAOE y así lograr circuitos integrados de aplicación dedicada con menor tiempo de diseño y mayor confiabilidad.

Los resultados de los sumadores fabricados muestran una buena compatibilidad de funcionamiento, aún sin haber sido geoméricamente optimizados.

Agradecimientos

A los técnicos del Laboratorio de Microelectrónica por la fabricación del circuito integrado conteniendo los sumadores: Mauro Landa L., Carlos Zuñiga I. , Pablo Alarcón y Tomás León C.

Referencias

- [1] Proceso de fabricación de circuitos integrados MOS Complementarios CMOS I, M. Aceves, et. al. Reporte No. **74**, INAOE , Septiembre (1989).
- [2] Caracterización y control del proceso de fabricación de circuitos integrados CMOS I, M. Linares, et. al. Reporte No. **88**, INAOE, Marzo (1991).
- [3] Fabricación y caracterización de celdas básicas digitales integradas Metal-Oxido-Semiconductor-Complementario.I. Zaldívar. Tesis de licenciatura. UAP (1992).
- [4] Celdas digitales estándar CMOS, M. Linares et. al. Reporte No. **204**, INAOE, Noviembre (1996).
- [5] The TMS320 family of digital signal processor. Lin K. S., Frantz G. A. And Simar R. Proc. IEEE **75**, 1143-1159, (1987).
- [6] A CMOS floating point multiplier. M. Uya, K. Kaneko and J. Yasui. IEEE Journal of Solid State Circuits, **19**, 1067-1071 (1984).
- [7] Power-Delay characteristics of CMOS adders. C. Nagendra, R. M. Owens and M. J. Irwin IEEE Trans. VLSI Syst., **2** 377-381 (1994).
- [8] A new design of the CMOS full adder. Nan Zhuang and Haomin Wu, IEEE Journal of Solid-State Circuits, 840-844 (1994).