

Modelado de la región de deserción en la estructura Aluminio/SRO/ Silicio

J. A. Luna-López, J. Carrillo-López
 Centro de investigaciones en Dispositivos Semiconductores, ICUAP,
 Apdo. Postal 1615 Puebla, Pue. , 7200 México

M. Aceves-Mijares
 Instituto Nacional de Astrofísica, Óptica y Electrónica,
 Apdo. Postal 51, Puebla, Pue. , 7200 México

Dispositivos de Aluminio/Óxido de silicio rico en Silicio/Silicio (Al/SRO/Si) se caracterizaron experimentalmente midiendo sus características I-V y C-V. Se utilizaron varios valores de R_0 ($R_0 = [N_2O]/[SiH_4]$), que es la razón de flujos de óxido nitroso y silano. Dependiendo del exceso de silicio, el dispositivo se comporta de acumulación a inversión como un capacitor MOS en deserción profunda o como una unión inducida PN en polarización inversa. El modelado se realizó suponiendo que la región de carga especial (W) varía como la de una unión PN polarizada inversamente y como un capacitor MOS en deserción profunda. La aproximación como una unión PN da una mejor aproximación entre los resultados experimentales y las curvas teóricas. Este dispositivo puede ser usado también como una herramienta analítica. Aquí se estiman parámetros característicos, como el tiempo de vida de generación de portadores minoritarios.

Aluminum/silicon rich oxide/Silicon (Al/SRO/Si) devices were characterized experimentally using I-V and C-V measurements. Various R_0 ($R_0 = [N_2O]/[SiH_4]$) values of the nitrous oxide/silane gas flow ratio were used. The objective was to study the double behavior of the structure: as a MOS capacitor and as an induced PN junction. Depending on the silicon excess its behavior in the surface inversion regimen varies. This behavior is modeled by using the depletion approximation in a PN, and the deep depletion in a MOS capacitor. A better fitting of the experimental data is obtained with the PN junction approximation. The internal voltage concept on the PN junction is interpreted in function of the C-V curves of the Al/SRO/Si structure. Both C-V and I-V are considered simultaneously to understand the physics involved in the device, and to obtain characteristic parameters as the generation lifetime.

PACS: 73.40.Qv, 85.30.Kk, 85.30.De

1. Introducción

El óxido de silicio fuera de estequiometría u óxido rico en silicio (SRO) también conocido como polisilicio semiaislante (SIPOS), es un material de dos fases formado por dióxido de silicio con exceso de silicio [1]. El exceso de silicio puede ser tan alto como 90 % para SIPOS [2]. Este material se obtiene normalmente por Depósito químico en fase vapor (Chemical Vapor Deposition mejor conocido por sus siglas CVD), con silano y óxido nitroso usados como gases reactivos. En este método, la razón de flujos de gases ($R_0 = [N_2O]/[SiH_4]$), es usada como un parámetro que determina el exceso de silicio. El SRO obtenido por implantación de silicio en óxido de silicio ha sido también reportado [3]. Se ha mostrado previamente, que comparados con una estructura regular metal-óxido-semiconductor (MOS) [4-6], los dispositivos obtenidos por depósito de SRO sobre silicio, y cubiertos con un electrodo metálico, muestran propiedades que dependen del exceso de silicio en el SRO y de la concentración del sustrato.

Dos dispositivos de gran importancia han sido desarrollados usando la estructura SRO/Si; uno es el supresor de picos [7], y el otro es un sensor de radiación [8-10]. Estos dispositivos tienen un comportamiento específico dependiendo de R_0 y las características del sustrato de silicio. Sin embargo, hasta ahora no hay un modelo que tome en cuenta R_0 y el sustrato de silicio para explicar el comportamiento de la unión SRO/Si.

Uno de estos comportamientos es doble, esto es, esto tiene una componente dual: como un capacitor MOS y como una unión inducida PN polarizada inversamente. En tal dispositivo, al cual llamamos Capacitor-PN, la estructura MOS puede producir una capa de inversión en la superficie del silicio bajo una polarización inversa apropiada, la cual en nuestro caso, ocurre si el contacto superior es negativo con respecto al sustrato tipo N. Bajo estas condiciones, la corriente de fuga de la unión PN puede ser conducida a través de la capa SRO. De este modo, el Capacitor-PN podrá emplearse para detectar radiación [10].

Desde que Hielscher et al. [11], presentaron un artículo sobre capacitores fuera de equilibrio, diversos investigadores han tratado de usar la unión inducida PN en diferentes dispositivos.

En este trabajo se presentan algunas características experimentales del diodo SRO/Si para diferentes valores de R_0 . Se establece una relación entre los comportamientos de la estructura antes mencionados. La comprensión de los fenómenos físicos involucrados en la unión SRO/Si, contribuirá a un mejor diseño de los dispositivos novedosos mencionados previamente.

2. Procedimiento experimental

Las películas de SRO fueron depositadas con $R_0 = 15, 20$ y 30 sobre silicio tipo N (100) con una concentración de impurezas de 10^{15} cm^{-3} . Se usó un sistema de paredes

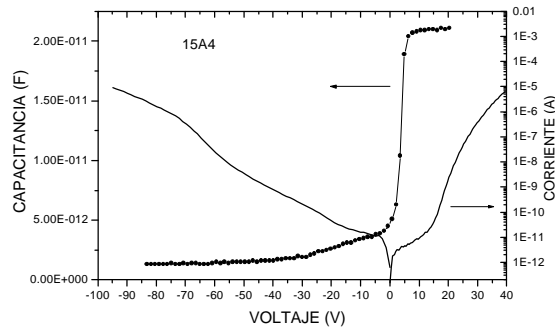


Figura 1. Características típicas I – V y C – V para Al/SRO₁₅/Si sobre la misma gráfica para su comparación. La corriente se ve claramente asimétrica para voltajes positivos y negativos. El V_{on} es de 14 volts. La curva de Capacitancia vs. Voltaje se obtuvo comenzando en acumulación y finalizando en inversión.

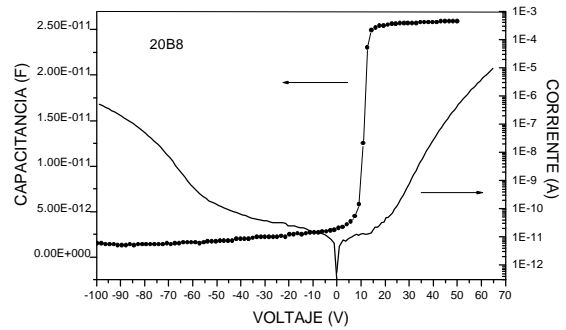


Figura 2. Características típicas I – V y C – V para Al/SRO₂₀/Si en la misma gráfica para su comparación. La corriente exhibe una clara asimetría para los voltajes negativo y positivo. El V_{on} es 16 volts. La curva de Capacitancia vs. Voltaje se obtuvo de acumulación a inversión.

calientes de depósito químico en fase vapor a baja presión (LPCVD) y los gases reactivos usados fueron óxido nítrico y silano. La temperatura de depósito fue de 700 °C; la presión total varió entre 1.9 y 2.4 Torr para los valores de R_o usados. Se diseñaron compuertas de Al sobre la capa de SRO con un área de 9 x 10⁻⁴ cm². También fue evaporado Aluminio para formar el contacto posterior. Finalmente, las muestras fueron sinterizadas a 450 °C en un ambiente de hidrógeno y nitrógeno. El espesor del SRO fue medido después del depósito, usando un elipsómetro Gaetner L117 con un láser de He-Ne a 632.8 nm. El promedio de los espesores se presenta en la Tabla 1.

Las características I-V y C-V fueron medidas usando un sistema controlado por computadora. Para las mediciones de corriente se utilizó un electrómetro Keithley 617, y una fuente de voltaje Keithley 230. Una rampa de paso de voltaje de dos segundos se aplicó para las curvas de I-V. Las mediciones C-V se realizaron a una frecuencia de 100 Khz. Se utilizó un analizador C-V Keithley 590 y una fuente de voltaje Keithley 230. Las muestras fueron medidas primero de acumulación a inversión, así como también de inversión a acumulación, con iluminación al comenzar cada medición para evitar el régimen de deserción profunda en la región de inversión.

3. Resultados

Las figuras 1, 2 y 3 muestran características I-V y C-V típicas de los dispositivos SRO₁₅, ₂₀ y ₃₀ (el subíndice indica

R_o = 15, 20 y 30). Se muestra la corriente y la capacitancia sobre la misma gráfica para su comparación. En general, para valores mayores de R_o, la corriente es menor, como se aprecia en las figuras. Para estas gráficas es posible obtener el V_{on}, el cual se define como el voltaje donde comienza el régimen de alta corriente [4,5], cuando el capacitor está en acumulación. Además, para la curva de capacitancia en acumulación, la constante de permitividad ϵ_{SRO} del SRO, es obtenida con la bien conocida fórmula:

$$\epsilon_{SRO} = \frac{t_{SRO} C_{max}}{A} \tag{1}$$

Donde t_{SRO} es el espesor del SRO, C_{max} es la capacitancia en acumulación, y A es el área del capacitor. El promedio de la permitividad y el V_{on} se muestran en la Tabla 1 para cada R_o. En polarización inversa, esto es, cuando el capacitor está en inversión superficial, la capacitancia varía en función del voltaje. También, cuando R_o aumenta, la corriente se reduce y la variación de la capacitancia es menos dependiente del voltaje aplicado. Por ejemplo, para SRO₁₅ en polarización directa, esto es, cuando la superficie está en acumulación, la corriente a 40 volts está en el rango de 10⁻⁵ A, si bien a -40 volts es sólo 10⁻⁹ A. Para el SRO₂₀ a 40 volts es 10⁻⁸ A, y para -40 volts es sólo 10⁻¹⁰ A. Además, para SRO₃₀ la corriente es sólo alrededor de 10⁻¹² A en polarización inversa, y no hay mucha variación con respecto al voltaje aplicado.

Para SRO₃₀ tenemos dos características diferentes de C-V. En la figura 3(a) se mide de acumulación a inversión. La curva C-V se observa similar a las correspondientes a SRO₁₅ y ₂₀ de las figuras 1 y 2, respectivamente. La corriente es la más pequeña para los R_o's presentados. En polarización directa no hay un V_{on} antes de los 100 volts, que es el voltaje máximo de nuestro equipo. Unos cuantos dispositivos dan un V_{on} mayor que 100 volts, por lo que éstos no se tomaron en cuenta en el promedio mostrado en la Tabla 1. En la figura 3(a) observamos también que de 0 a 15 volts la corriente disminuye y después aumenta ligeramente, como se discute en [4]. La corriente en polarización inversa es tan baja como algunos picoamperes

Tabla 1. Valores promedio para diferentes parámetros.

R _o	t _{SRO} (Å)	ε _{SRO} (Pf/cm)	V _{on} (Volts)	V _{on} máximo (Volts)	V _{on} mínimo (Volts)
15	1584	0.426	11.3	16.5	5.0
20	1207	0.382	19.75	21.0	15.0
30	1587	0.341	66.5	74.5	53.0

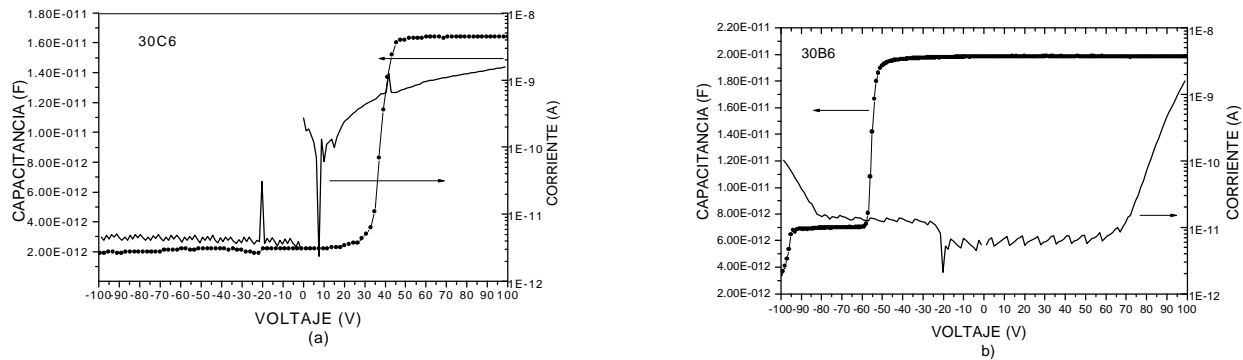


Figura 3. Características típicas I – V y C – V para Al/SRO₃₀/Si en la misma gráfica para su comparación. La corriente muestra una clara asimetría para los voltajes positivo y negativo. (a) La curva Capacitancia vs. Voltaje se obtuvo de acumulación a inversión. Específicamente para este dispositivo, el V_{on} es mayor que 100 V. (b) El V_{on} es de 67 volts. La capacitancia muestra un desplazamiento debido a la carga atrapada en el SRO comparada con (a), La curva C – V se obtuvo de inversión a acumulación.

a 100 volts. Sin embargo, en la figura 3(b) se trata otro comportamiento del dispositivo con SRO₃₀. En este caso la medición fue realizada de inversión a acumulación, y la carga positiva atrapada en el SRO produce la forma de la curva C-V en la dirección negativa. La forma de la curva C-V es debido a la carga atrapada como se observa en [4, 5]. Como es de esperarse, el efecto de la carga atrapada es menor conforme disminuye R_o . La figura 3(b) es interesante, en ésta se ve claramente el comportamiento de la capa SRO sobre el silicio. La capa SRO con $R_o = 30$ tiene una gran resistividad. Debido a la carga positiva fija en la capa de SRO, la superficie del silicio está en acumulación para voltajes mayores que -55 volts. Hasta aquí la capacitancia es máxima, la cual corresponde a la capa de SRO únicamente. Entre -60 volts y -95 volts, la capacitancia se reduce a cerca de 7 pf debido a la capa de inversión en la superficie del silicio, de acuerdo a la teoría estándar de los capacitores MOS. En parte de esta región, la corriente externa es alrededor de 10^{-11} A, pero para -85 volts, la corriente externa comienza a drenar de la capa de inversión. Sin embargo, esto es sólo hasta cerca de -95 volts, donde la capacitancia decrece del valor de inversión de 7 pf.

4. Discusión

La capa de inversión en el dispositivo SRO/Si dependerá de varios parámetros como: tipo y conductividad del silicio, resistividad del SRO y voltaje aplicado.

Por otra parte, la corriente a través del SRO está limitada por los mecanismos de conducción. Básicamente, los electrones pueden moverse en el SRO, pero no los huecos. Así, en silicio tipo P, tan pronto como el voltaje V_{on} es alcanzado, los electrones de la capa de inversión son barridos hacia fuera por el campo eléctrico, dando lugar a la condición de deserción profunda. Las curvas experimentales I-V de SRO/P-Si son cuasi- simétricas [12], indicando que el régimen de alta corriente inicia en ambas polaridades. Para sustratos tipo N esta polaridad produce

una capa superficial de inversión, que resulta en un bajo valor de corriente para voltajes mayores que el V_{on} .

Para el SRO/Si-N se forma una capa de inversión, como se presenta en las figuras 3(a) y (b), manteniéndose aún a -100 volts, mostrando un comportamiento similar a un capacitor MOS. También, en la figura 3(b), aún cuando el SRO drena corriente cerca de -80 volts, la curva C-V no cambia hasta -95 volts. Esto indica que la capa de deserción no varía, y la inversión superficial es sostenida al menos hasta -95 volts. Esto da lugar a una capa inducida P^+ asociada a una capa de deserción en el sustrato tipo N similar a una unión P-N. En este caso la capa de inversión no es barrida hacia fuera, porque los huecos no pueden moverse a través del SRO. Esto deberá ser un mecanismo de recombinación de huecos de la capa inversión y electrones moviéndose a través de la compuerta de Al hacia el SRO. El factor que limita esta recombinación será la resistividad del SRO y el proceso de generación en la región de deserción del silicio. El proceso de generación proporcionará los nuevos huecos para reemplazar la recombinación de huecos en la capa de inversión de la superficie. La resistividad del SRO tendrá que ser suficientemente alta para mantener el flujo de electrones bajo. Cuando aumenta en magnitud el voltaje, la corriente se incrementa, pero es posible aún que la capa de inversión sea conservada; por ejemplo, en la figura 3(b) esto se aprecia para voltajes de -95 a -100 . En este caso la capa de deserción crecerá y tendrá lugar un comportamiento similar a una unión P-N polarizada inversamente. Este no es el caso en la figura 1, donde la corriente crece tan rápido como para mantener la capa de inversión. Para SRO₁₅ la corriente en voltaje negativo aumenta continuamente, lo que nos lleva a pensar que la capa de inversión no se forma, a pesar del hecho de que no se observa un comportamiento de la capacitancia, tal como en un MOS estándar en condiciones de deserción profunda. En este caso, es necesario un análisis mas profundo para evaluar el comportamiento de la unión SRO/P-Si

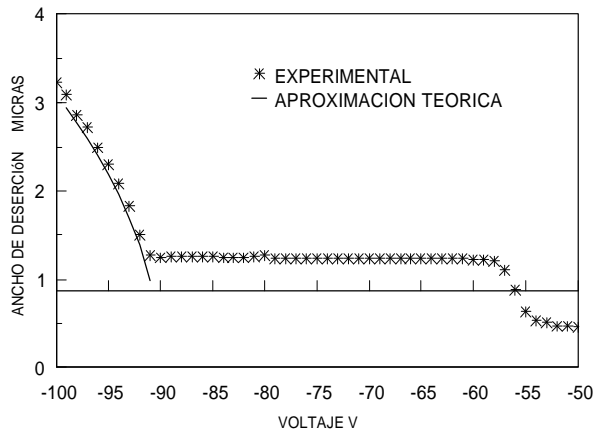


Figura 4. Gráfica del ancho de deserción en función de la raíz cuadrada del voltaje para la muestra 15 A4. La aproximación de deserción profunda es para $C_B = 1 \times 10^{15} \text{ cm}^{-3}$.

En contraste, para SRO₂₀, y SRO₃₀, la corriente aumenta lentamente de 0 a -60 y de 0 a -80 volts, respectivamente. Entonces, la pendiente cambia y la corriente aumenta rápidamente. Se puede proponer que la corriente aumenta más rápido, porque la capa de inversión fue barrida completamente. En el régimen de bajo incremento de corriente, ésta es predominantemente debido a la generación en la región de deserción, como en una unión PN. Entonces, es posible estudiar estos dispositivos desde dos puntos de vista: uno con SRO₁₅ como un capacitor MOS en deserción profunda, y el otro, usando los dispositivos con SRO₂₀, y SRO₃₀ como capacitores MOS y una unión inducida PN, dependiendo del voltaje aplicado.

a). Analisis para SRO₁₅

Para la curva C-V es posible estimar el ancho de deserción mediante la relación:

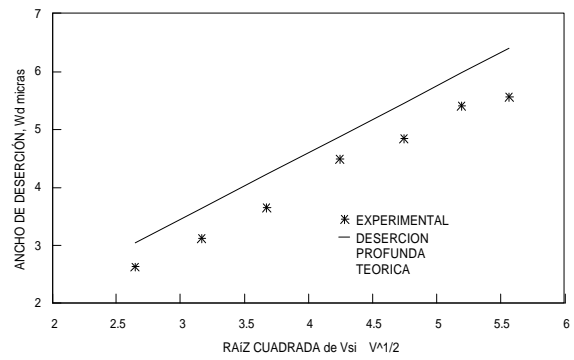
$$\frac{1}{C} = \frac{1}{C_{\max}} + \frac{1}{C_S} \approx \frac{1}{C_S} \quad (2)$$

donde C_S es la capacitancia del semiconductor.

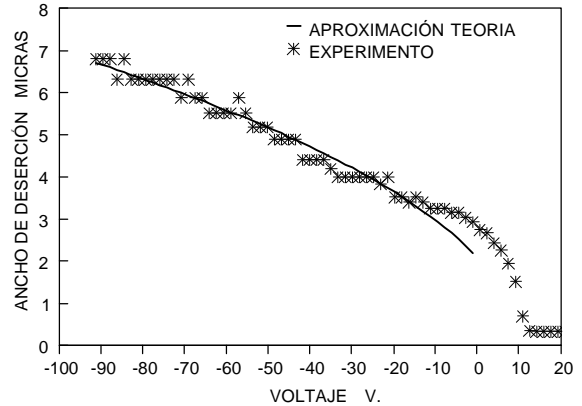
Además, el voltaje, V_s , en la superficie del silicio, puede determinarse restando el voltaje a través de la capa SRO del voltaje aplicado. El voltaje a través de la capa SRO se obtiene de las características I-V del dispositivo Al/SRO/Si, cuando el voltaje aplicado es positivo y la superficie del silicio esta en acumulación. Se considera que el voltaje a través del silicio es despreciable bajo esta condición. El voltaje de banda plana de la curva de capacitancia, debe ser usado para indicar la presencia de cualquier carga fija. La deserción profunda, W_d , de las mediciones de la capacitancia contra la raíz cuadrada del voltaje para la muestra 15 A4, se presenta en la figura 4, junto con la curva teórica en deserción obtenida de:

$$W = \sqrt{\frac{2e_{Si} V_s}{qC_B}} \quad (3)$$

La correlación entre los valores teóricos y experimentales es razonablemente buena.



(a)



(b)

Figura 5. Ancho de deserción en función del voltaje usando la aproximación PN, (a) Muestra 20B8, $C_B = 2.8 \times 10^{15} \text{ cm}^{-3}$, $\phi_b = 10 \text{ V}$. (b) Muestra 30B6, $C_B = 1.3 \times 10^{15} \text{ cm}^{-3}$, $\phi_b = 90 \text{ V}$.

b). Analisis para SRO₂₀ y SRO₃₀.

El ancho de deserción en función del voltaje para estos dispositivos se presenta en las figuras 5(a) y (b). Se pueden observar dos regiones: la región de capacitor MOS, y aquella de una unión PN. En capacitores MOS se observa una capacitancia constante debida a un ancho de deserción máximo, y un ancho variable como función del voltaje. Una aproximación simple es el modelado de la región de deserción como capacitor MOS y como una unión PN en la región de voltaje respectivo. En la unión inducida PN, el ancho de deserción, $W(V)$, es obtenido de [13]

$$W(V) = \sqrt{\frac{2e_{Si} |f_b - V|}{qC_B}} \quad (4)$$

Donde f_b es el potencial interconstruido y V es el voltaje aplicado. En este caso, f_b no tendrá el mismo significado como en una unión PN común. En una unión PN estándar, la f_b es un resultado de la transferencia de carga entre las regiones semiconductoras P y N, y depende sólo de la concentración del sustrato. En el Capacitor- PN, la unión PN es un resultado de una capa de inversión inducida por voltaje, y depende del voltaje aplicado y la concentración del sustrato, entre otros parámetros. En una forma simple,

el voltaje, donde comienza el comportamiento PN, deberá ser considerado como f_b para estos dispositivos.

A partir de (4) se grafica W^2 contra V y se obtiene una función lineal con pendiente m . Entonces,

$$C_{Befe} = \frac{2e_{Si}}{qm} \quad (5)$$

donde C_{Befe} es la concentración de sustrato efectiva. Así, hay un efecto del voltaje aplicado al sustrato, y de esta forma se obtiene una diferencia de concentración para cada muestra. La concentración efectiva para las muestras específicas usadas en las figuras 5 (a) y (b), se indica en el pie de la misma figura.

Ya ha sido propuesto que por debajo del voltaje de inversión, la corriente es limitada por la generación térmica en la región de deserción [4, 14]; entonces la corriente puede ser expresada como

$$I = \frac{qn_i W(V)}{2t_g} A, \quad (6)$$

así el tiempo de vida de generación, τ_g , puede ser estimado como

$$t_g = \frac{qn_i W(V)}{2I} A \quad (7)$$

De las figuras 5 (a) y (b), W y I son conocidas, y entonces el tiempo de vida es estimado como 1.52×10^{-6} s y 5.48×10^{-6} s, para SRO₂₀ y SRO₃₀, respectivamente. En un trabajo previo [15] se ha calculado para este tipo de obleas un valor $\tau_g \approx 1 \times 10^{-6}$ s.

5. Conclusiones

Las curvas características I-V y C-V fueron obtenidas para el dispositivo Al/SRO/Si con varios R_o 's. El ancho de deserción fue obtenido para estas curvas. Los anchos fueron modelados usando una aproximación en deserción profunda junto con una unión PN y esto fue encontrado en buen acuerdo entre los resultados experimentales y las curvas teóricas encontradas. En la región PN se tuvo que utilizar una concentración efectiva en el volumen. Cuando R_o aumenta el MOS tiende a dominar la estructura, y la carga atrapada es más relevante. Conforme R_o disminuye, es posible que el comportamiento PN no sea obtenido, y la carga atrapada no tendrá un papel importante. La estructura Al/SRO/Si puede utilizarse para estimar parámetros importantes de los materiales constituyentes, por ejemplo el tiempo de vida de generación. Así, otra posibilidad de esta estructura es como una herramienta analítica.

Agradecimientos

Damos las gracias a Pablo Alarcón y Mauro Landa por la ayuda prestada en la preparación de las muestras. Proyecto soportado por CONACyT.

Referencias

- [1] D. Dong, E. A. Irene, D. R. Young, J. Electrochem. Soc. **125**, 819 (1978).
- [2] M. Hamasaki, T. Adachi, S. Wakayama, M. Kikuchi, J. Appl. Phys. **49**, 3987 (1978).
- [3] Kalnitsky, A. R. Boothroyd, J. P. Ellul. Solid-State Electronics **33**, 893 (1990).
- [4] M. Aceves, C. Falcony, A. Reynoso, W. Calleja, A. Torres. Solid-State Electronics **39**, 637 (1996).
- [5] M. Aceves, C. Falcony, J. A. Reynoso, W. Calleja, R. Pérez. Material science in semiconductor processing **2**, 173 (1999).
- [6] M. Aceves, J. Pedraza, J. Apolinar Reynoso-Hernandez, C. Falcony, and W. Calleja. Microelectronics Journal **30**, 855 (1999).
- [7] J. Méndez, M. Aceves, J. Pedraza. 2000 IEEE Microelectronics Reliability and Qualification Workshop pp. P5. Glendale, CA. USA Noviembre 2000.
- [8] M. Aceves, A. Malik, J. Carrillo1, F. Flores, J. Carranza. A ser publicado en Ibersensor 2000. Buenos Aires Argentina, 2000.
- [9] M. Aceves, J. Carrillo, W. Calleja, C. Falcony, P. Rosales. Thin Solid Films **373**, 134(2000).
- [10] M. Aceves, W. Calleja, C. Falcony, J. A. Reynoso – Hernández Revista Química Analítica, **18**, (Suppl.1):5. (1999).
- [11] Hielscher F. H. Preier H. M. Solid State electronics **12**, 527 (1969).
- [12] Mariano Aceves Ph.D. Tesis, CICESE, Mexico 1997
- [13] S.M. Sze *Physics of semiconductor devices*. (John Wiley, New York, 1969).
- [14] M. Aceves, A. Malik, R. Murphy. Sensors and Chemometrics, edited by M.T. Ramírez-Silva, M.A. Romero Palomar (Research Signpost, India, 2001), Chap. 1
- [15] P. Peykov, T. Dias, M. Aceves. Revista Mexicana de Física **46**, 485(2000).