

"FABRICACION Y ESTUDIO DE DISPOSITIVOS DE MEMORIA A BASE DE PELICULAS DE OXIDO DE SILICIO RICO EN SILICIO"

W. Calleja, M. Aceves, C. Falcony¹ y R. Osorio²

INAOE TONANTZINTLA, AP 51, 72000, Puebla, Pue.

¹ CIEA-IPN (FISICA).

² CIEA-IPN (ING. ELECTRICA).

Apdo. 14-740, 07000 México, D.F.

RESUMEN

Se presentan los detalles del proceso de fabricación y algunos esquemas básicos de caracterización eléctrica de transistores Metal Oxido Silicio de memoria. La estructura de los dispositivos de memoria consta de un electrodo de control de polisilicio y la región de retención de carga se basa en dos dieléctricos: óxido de silicio enriquecido con silicio y dióxido de silicio. El patrón de retención y alteración del estado de carga en las estructuras da lugar a dispositivos de memoria solo lectura eléctricamente alterables.

1. INTRODUCCION.

La incorporación de diversas películas como dieléctrico de compuerta en los transistores MOS, ha sido el punto de partida para desarrollar dispositivos de memoria no-volátil [1], en cada caso se busca almacenar cargas eléctricas en trampas en películas tales como nitruro de silicio (Si_3N_4) o bien almacenar dichas cargas en un electrodo flotante [2].

En el presente trabajo se describe la fabricación sobre silicio de un dispositivo de memoria solo lectura eléctricamente alterable [EAROM], para ello se utiliza la estructura de un transistor MOS compuerta de polisilicio, como elemento de retención de carga se utilizan dos películas: óxido de silicio y óxido de silicio rico en silicio (OSIE). Así, la estructura es la siguiente: polisilicio-OSIE-óxido-silicio, este esquema se muestra en la Fig. 1.

Ya se han reportado detalles sobre las técnicas de depósito y propiedades de las películas de OSIE [3,4]. Debido a su naturaleza de dos fases (islas de silicio en el óxido), esta película permite la transferencia de cargas eléctricas con un comportamiento no-ohmico. Por otro lado, cuando el OSIE es convenientemente aislado, si se le inyecta alguna carga, es capaz de retenerla durante periodos prolongados de tiempo [4]. Esta propiedad es básica para el desarrollo de dispositivos de memoria.

1 Polisilicio
2 OSIE
3 Oxido

Aluminio

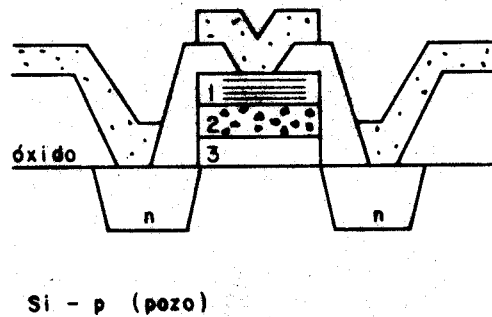


Fig. 1
Estructura del dispositivo EAROM.

2. FABRICACION DEL DISPOSITIVO.

Los dispositivos de memoria fueron fabricados de acuerdo al esquema de la Fig. 1, utilizando el proceso ECMOS I compuerta de polisilicio [5,6], desarrollado en el INAOE. Los dispositivos EAROM son desarrollados con la misma secuencia de fabricación de los circuitos integrados CMOS digitales.

El procedimiento de fabricación de los dispositivos canal N es el siguiente:

- 1) Obleas de silicio tipo P, 2-5 Ω -cm, (100).
- 2) Oxidación inicial 2 000 Å.
- 3) Implantación de pozo: B, 180 KeV, $2E13 \text{ cm}^{-2}$.
- 4) Redifusión de pozo: 8 Hr, 1 200 °C.
- 5) Difusión de anillo de guarda.
- 6) Crecimiento de óxido de campo: 10 000 Å
- 7) Grabado de óxido en áreas activas.
- 8) Crecimiento del óxido de compuerta:
 - i) Depósito de SiO_2 .

En un sistema APCVD de paredes calientes, se deposita una película de óxido de silicio estequiométrico de 200 Å de espesor, a partir de la reacción de una mezcla gaseosa de silano y óxido nítrico a 700°C.

ii) Depósito de OSIE.

En el mismo sistema, ajustando la razón de flujo de gases, se deposita una película de OSIE de 500 Å, el exceso de silicio en el óxido es de aproximadamente 6%. Esta etapa se concluye con un densificado de la estructura doble en atmósfera de nitrógeno a 1 000°C durante 30 minutos.

- 9) Depósito de polisilicio a 700 °C, 5 000 Å.
- 10) Dopado del polisilicio, con fósforo, a 1 050°C, $R_s = 17 \Omega/\square$.
- 11) Oxidación del polisilicio y grabado de pistas.
- 12) Implantación autoalineada de fuente/drenaje:
 - i) P, 150 KeV, $4E15 \text{ cm}^{-2}$
 - ii) P, 120 KeV, $2E15 \text{ cm}^{-2}$
- 13) Depósito de PSG y reflujo a 1 100°C.
- 14) Depósito de aluminio, grabado de pistas y aleación.

En la fig. 2 se muestra una microfotografía de un dispositivo fabricado, la longitud y ancho del canal es de 10 micrómetros.

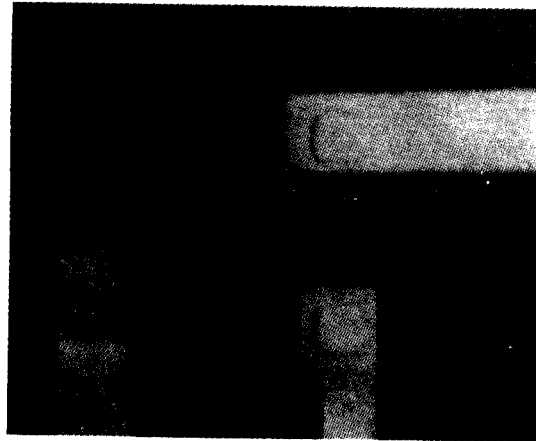


Fig. 2
Microfotografía del dispositivo EAROM fabricado.

la cual se conecta entre las terminales de compuerta y fuente, con la polaridad positiva conectada a la compuerta se aplica un impulso $V_{gs} = 40$ voltios. Con el potencial positivo en la compuerta, se inicia un mecanismo de transferencia de cargas desde el silicio hacia el electrodo de control, las cuales bajo el efecto del campo eléctrico tunelean a través de la película delgada de óxido de silicio (200 Å) y a través de la película de OSIE cuyo mecanismo de conducción es activado debido a la presencia de las islas de silicio [4]. A su vez, cuando el pulso de voltaje concluye, algunas cargas eléctricas quedan atrapadas en las islas de silicio, estas no pueden retornar hacia el sustrato debido al óxido de silicio que los separa del sustrato.

3. CARACTERIZACION ELECTRICA.

La caracterización eléctrica se realiza con el esquema delineado en la Fig. 3, con $V_{ds} = 100 \text{ mV}$ y V_{gs} variando de 0 V a 15 V, se determina que el voltaje de encendido V_t del dispositivo de memoria, es de 5.7 voltios.

i) Inyección de cargas.

A partir del esquema de la Fig. 3, pero con el sustrato, drenaje y fuente conectados a un potencial común de cero volts ($V_{ds} = 0 \text{ V}$), se realiza la inyección de cargas. Utilizando una fuente de voltaje de corriente directa,

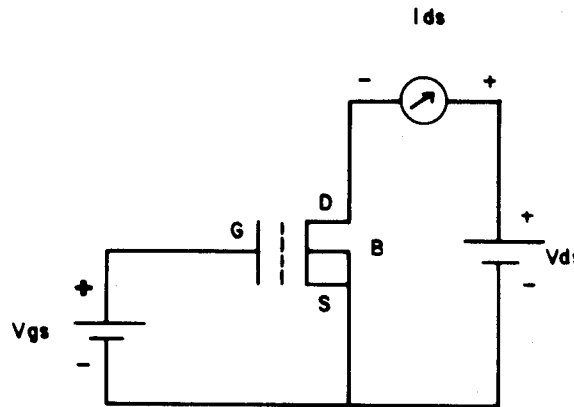


Fig. 3
Diagrama de caracterización eléctrica.

ii) Lectura.

Para conocer el estado de carga del dispositivo, el electrodo de control se conecta a potencial cero (común a fuente), se conecta una fuente de voltaje entre drenaje y fuente con el polo positivo conectado al drenaje, el voltaje aplicado (V_{ds}) es de 5 voltios, si el dispositivo logra retener carga en el OSIE, ésta se reflejará como un canal en la superficie del silicio (como un transistor normalmente encendido) y en consecuencia fluirá una cierta corriente I_{ds} , si no existe carga almacenada no existirá flujo de corriente, la magnitud de I_{ds} dependerá de la cantidad de carga atrapada en el OSIE. Para el dispositivo fabricado, la Fig. 4 muestra valores típicos de I_{ds} . El seguimiento del estado de retención de carga se realiza midiendo la magnitud de la corriente de canal, la Fig. 4 muestra el comportamiento de retención de carga con respecto al tiempo, en este caso el voltaje drenaje-fuente es de 5 voltios. De la Fig. 4, se puede apreciar que el dispositivo de memoria retiene las cargas por un período prolongado de tiempo, el cual es superior a los 200 días ($10E7$ segundos), pero la tendencia sugiere un período mucho mayor de retención. En la gráfica se aprecian algunas oscilaciones de I_{ds} que son debidas a pequeñas inestabilidades del sistema de medición.

iii) Borrado de carga.

Para retirar la carga del OSIE, con el esquema de la Fig. 3, se aplica un pulso de voltaje V_{gs} de polaridad inversa al modo de inyección. En la fig. 5 se muestra curvas $I_{ds} - V_{gs}$ con $V_{ds} = 100$ mV. La curva "1" representa el comportamiento de un transistor con carga después de un período mayor a $10E7$ segundos. La curva "0" representa el comportamiento de un transistor que ha sido cargado y descargado; esta curva es representativa de los dispositivos que almacenan un cero lógico para un período mayor a $10E7$ segundos.

4. CONCLUSIONES.

Se ha fabricado un dispositivo EAROM, el cual es compatible con los procesos de fabricación de circuitos integrados MOS, basa su funcionamiento en un arreglo doble de películas OSIE-óxido de silicio. Ha sido probado, que el dispositivo muestra retención de carga por períodos mayores a los 200 días y la tendencia indica un período mucho mayor de retención. El estado de retención de carga es eléctricamente alterable invirtiendo la polaridad del campo aplicado en el electrodo de control.

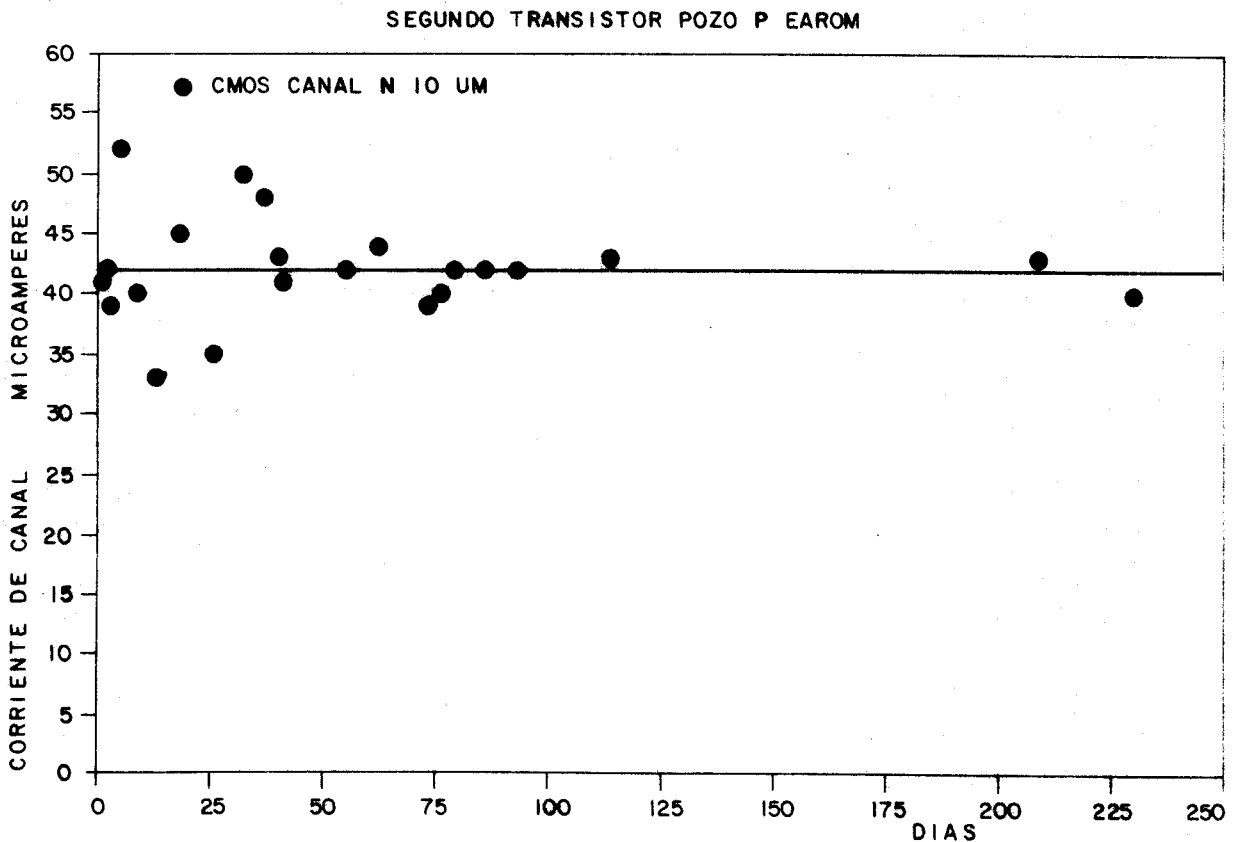


Fig. 4 Gráfica de I_{ds} vs t , $V_{gs} = 0$ V y $V_{ds} = 5$ V.

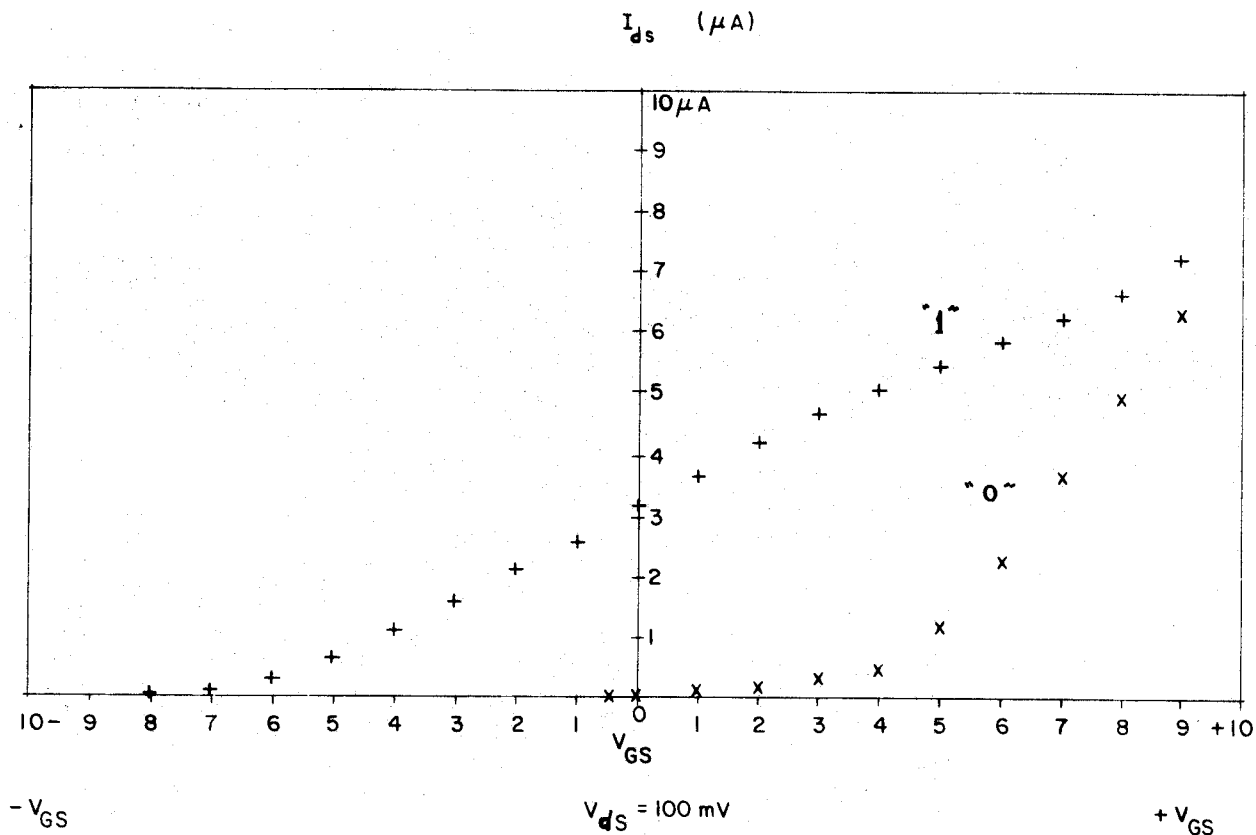


Fig. 5
Gráficas I_{ds} vs V_{gs} representando
estados lógicos "1" y "0", $V_{ds} = 100$ mV

AGRADECIMIENTOS.

Los autores agradecen el valioso apoyo técnico de Juan García Coronel del CINVESTAV (FISICA), de Israel Fuentes Tapia y Mauro Landa Vázquez del INAOE, a Norma Díaz Castillo por el mecanografiado del texto y a Luis Diego Uribe por la impresión de las figuras. Al CONACYT por su apoyo parcial.

REFERENCIAS.

- [1] H. C. Card y M. I. Elmasry, "Functional modelling of non-volatile MOS memory devices", *Solid State Electronics*, Vol. 19, pag. 863, 1976.
- [2] Dov Frohman-Bentchkowsky, "FAMOS a new semiconductor charge storage device", *Solid State Electronics*, Vol. 17, pag. 517, 1974.
- [3] A. Torres, W. Calleja, M. Aceves y C. Falcony, "Deposition and properties of silicon-rich silicon dioxide films using CO_2 or N_2O as oxidant compound", *Springer series in surface science*, pag. 82, 1986.
- [4] M. López, "Mecanismos de inyección y retención de carga en SiO_2 no estequiométrico", Tesis de Maestría, CINVESTAV-FISICA, 1988.
- [5] M. Aceves, M. Linares, W. Calleja, A. Torres, M. Landa, C. Zúñiga, I. Fuentes y S. Fuentes, "Proceso de fabricación de circuitos integrados MOS complementarios ECMOS I", Reporte Técnico No.74, INAOE, 1989.
- [6] M. Linares, M. Aceves, J. Palomino y W. Calleja, "Caracterización de un proceso de fabricación de circuitos integrados CMOS", *Acta Mexicana de Ciencia y Tecnología*, Vol. VII, nums. 25-28, págs. 53-56, México, DF, Noviembre, 1980.